

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-271097

(43)Date of publication of application : 25.09.2003

(51)Int.Cl. G09G 3/30
G09G 3/20

(21)Application number : 2002-077126 (71)Applicant : ASAHI KASEI MICROSYSTEMS KK

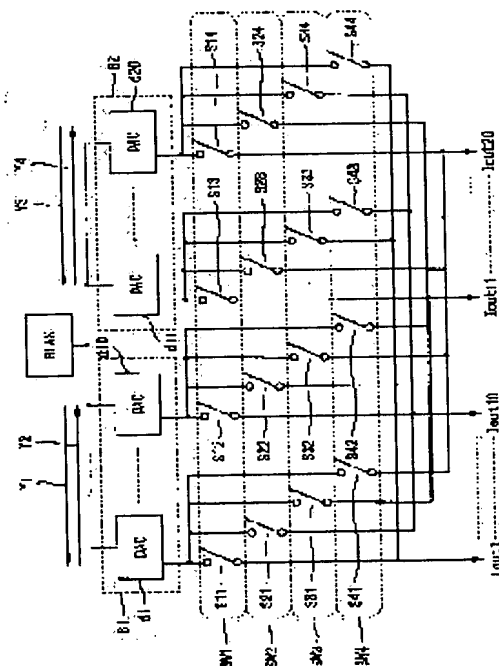
(22)Date of filing : 19.03.2002 (72)Inventor : TAKEHARA SATOSHI

(54) DISPLAY PANEL DRIVING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce output current variance with a tendency in an IC chip as to a display panel driving circuit which includes a plurality of DAC parts and a single bias part supplying a bias signal to those DAC parts and drives a display panel by supplying a plurality of output currents led out of the plurality of DAC parts to pixels.

SOLUTION: Switch groups SW1 to SW4 are controlled to turn on in order and correspondence relations with the plurality of output currents led out of the plurality of DAC parts d1 to d20 are switched on a time-division basis. The switch groups SW1 to SW4 include switches S11 to S44 provided corresponding to the DAC parts d1 to d20 and those switches are switched in order.



LEGAL STATUS

[Date of request for examination] 16.02.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-271097

(P2003-271097A)

(43) 公開日 平成15年9月25日 (2003.9.25)

(51) Int.Cl.⁷G 0 9 G 3/30
3/20

識別記号

6 1 1
6 1 2
6 2 3

F I

C 0 9 G 3/30
3/20

テーマコード* (参考)

J 5 C 0 8 0

6 1 1 H

6 1 2 F

6 2 3 D

6 2 3 F

審査請求 未請求 請求項の数 2 OL (全 8 頁) 最終頁に続く

(21) 出願番号 特願2002-77126 (P2002-77126)

(22) 出願日 平成14年3月19日 (2002.3.19)

(71) 出願人 594021175

旭化成マイクロシステム株式会社

東京都新宿区西新宿三丁目7番1号

(72) 発明者 竹原 聡

神奈川県厚木市岡田30番地 旭化成マイ
クロシステム株式会社内

(74) 代理人 100066980

弁理士 森 哲也 (外2名)

Fターム(参考) 5C080 AA06 BB06 DD05 DD25 EE17

EE29 FF03 FF12 GG08 HH09

JJ02 JJ03 JJ04 JJ05

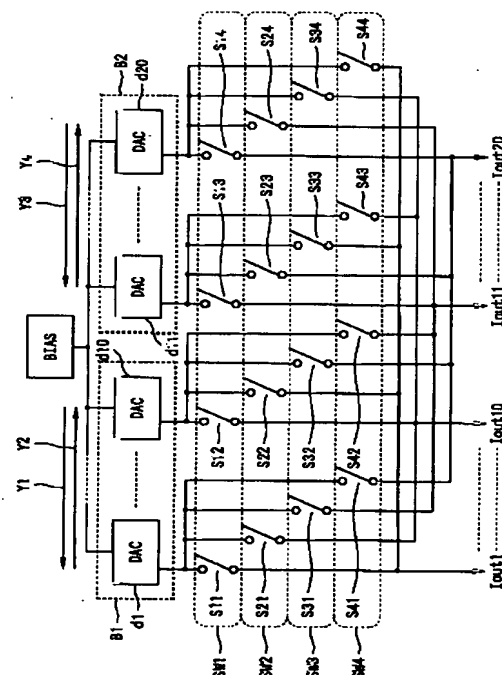
(54) 【発明の名称】 ディスプレイパネル駆動回路

(57) 【要約】

【課題】 複数のDAC部と、これらDAC部にバイアス信号を与える単一のバイアス部とを含み、複数のDAC部から導出される複数の出力電流を画素に与えてディスプレイパネルを駆動するディスプレイパネル駆動回路において、ICチップ内の傾向を持つ出力電流ばらつきを低減する。

【解決手段】 スイッチ群SW1～SW4が順次オン状態になるように制御して、複数のDAC部d1～d20と導出される複数の出力電流との対応関係を時分割に切替える。スイッチ群SW1～SW4には、DAC部d1～d20それぞれに対応してそれぞれ設けられた複数のスイッチs11～s44を含み、これらスイッチを順次切替える。

【効果】 対応関係を時分割で順次切替えることにより、ICチップ内の傾向を持つ出力電流ばらつきを低減でき、かつ、ランダムに発生する電流ばらつきも小さくすることができる。



(2) 003-271097 (P2003-271097A)

【特許請求の範囲】

【請求項1】 複数のデジタルアナログ変換部と、前記デジタルアナログ変換部にバイアス信号を与える単一のバイアス部とを含み、前記複数のデジタルアナログ変換部から導出される複数の出力電流を画素に与えてディスプレイパネルを駆動するディスプレイパネル駆動回路であって、前記複数のデジタルアナログ変換部と導出される前記複数の出力電流との対応関係を時分割に切替える切替手段を含むことを特徴とするディスプレイパネル駆動回路。

【請求項2】 前記切替手段は、前記複数のデジタルアナログ変換部それぞれに対応してそれぞれ設けられた複数のスイッチを含み、前記複数のスイッチを順次切替えることにより、前記複数のデジタルアナログ変換部と導出される前記複数の出力電流との対応関係を時分割に切替えることを特徴とする請求項1記載のディスプレイパネル駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はディスプレイパネル駆動回路に関し、特に発光素子がマトリクス状に配列されてなるディスプレイパネルを駆動する回路に関する。

【0002】

【従来の技術】ディスプレイパネルは、エレクトロルミネッセンス素子（EL素子）等の発光素子をマトリクス状に配列し、この素子に電流を流すことによってパネル画面に画像を表示する装置である。ディスプレイパネルに用いる発光素子は、図7に示されているような等価回路で表わされ、ダイオード部に流れる電流に比例した強度で発光する。

【0003】また、ディスプレイパネルドライバとはマトリクス状に配列した発光素子に電流を流すための回路であり、列側（カラム）のドライバで発光素子の＋極（アノード端子）に電流を流し込み、行側（ロー）のドライバで発光素子の－極（カソード端子）を接地して電流を引く。画像データが発光制御回路に入力されると発光する発光素子の列と行の情報がドライブ回路に送信される。従来のディスプレイ装置の概略構成が図8に示されている。同図に示されているディスプレイ装置は、ディスプレイパネル10と、このディスプレイパネル10を駆動するためのドライブ回路20及び30と、発光制御回路1とを含んで構成されている。同図を参照し、ディスプレイ装置内の各回路ブロックについて説明する。

【0004】同図を参照すると、ディスプレイパネル10には、第1表示ライン～第n表示ラインを担う陰極線（発光素子のダイオードのカソード端子につながる線） $B_1 \sim B_n$ と、これら陰極線 $B_1 \sim B_n$ に交差して配列されたm個の陽極線（発光素子のダイオードのアノード端子につながる線） $A_1 \sim A_m$ とが形成されている。これら陰極線 $B_1 \sim B_n$ と陽極線 $A_1 \sim A_m$ との交差部分に発光素子

$E_{11} \sim E_{nm}$ が形成されており、それら発光素子それぞれがディスプレイパネル10の1画素を担っている。

【0005】発光制御回路1は、図9に示されているように、入力された1画面分（n行、m列）の画像データを発光素子 $E_{11} \sim E_{nm}$ のそれぞれに対応した画素データ群 $D_{11} \sim D_{nm}$ に変換し、これらを1行分毎に、陽極線ドライブ回路20に順次供給して行く。ここで、例えば、画素データ $D_{11} \sim D_{1m}$ は、ディスプレイパネル10の第1表示ラインに属する発光素子 $E_{11} \sim E_{1m}$ のそれぞれを発光するか否かを指定するm個のデータビット行であり、論理レベル“1”で発光、論理レベル“0”で非発光となる。同様に、画素データ $D_{21} \sim D_{2m}$ は第2表示ラインに属する発光素子 $E_{21} \sim E_{2m}$ 、画素データ $D_{31} \sim D_{3m}$ は第3表示ラインに属する発光素子 $E_{31} \sim E_{3m}$ 、画素データ $D_{n1} \sim D_{nm}$ は第n表示ラインに属する発光素子 $E_{n1} \sim E_{nm}$ 、のそれぞれを発光するか否かを指定するm個のデータビット行である。

【0006】また、発光制御回路1は、1行分毎の画素データの供給タイミングに同期して、第1表示ライン～第n表示ラインを順次走査すべき陰極線選択制御信号を陰極線ドライブ回路30に供給する。陽極線ドライブ回路20は、まず発光制御回路1から送られる画素データ群におけるm個のデータビットの中から、発光を指定するデータビットを抽出する。そしてこの抽出したデータビットそれぞれに対応した列に属する陽極線を陽極線 $A_1 \sim A_m$ の中から選択し、選択した陽極線に定電流源を接続し、所定の画素駆動電流を供給する。

【0007】陰極線ドライブ回路は、陰極線 $B_1 \sim B_n$ の中で発光制御回路の陰極線選択制御信号によって選択された表示ラインをアース電位に設定して、発光すべき素子の陽極線に接続された定電流源から電流を流す。このとき、発光素子のダイオードは順方向接続となる。その際、選択されていない陰極線は高電位に接続される。このとき、発光素子のダイオードは逆方向接続となる。上記の陽極線ドライブ回路20によって定電流源に接続された列と陰極線ドライブ回路30によってアース電位に設定された表示ラインとの間には発光駆動電流が流れ、この列と表示ラインに交差している発光素子は上記の発光駆動電流量に比例した強度で発光する。一方、陰極線ドライブ回路30によって高電位に接続された表示ラインと定電流源に接続された列との間には電流が流れ込まないので、この列と表示ラインに交差している発光素子は非発光のままである。

【0008】以上の動作が、画素データ群 $D_{11} \sim D_{1m}$ 、 $D_{21} \sim D_{2m}$ 、…、 $D_{n1} \sim D_{nm}$ 各々について実施されると、ディスプレイパネルの画面上には、入力された画像データに応じた1フィールド分の発光パターン、つまり画像が送られる。

【0009】

【発明が解決しようとする課題】ところで、陽極線ドラ

(3) 003-271097 (P2003-271097A)

イブ回路の定電流源には通常、電流DAC (digital analog converter) 回路が使用される。つまり陽極線の本数分だけの多チャンネルの電流DAC回路が必要ということになる。この場合の各電流DAC回路の構成が図10に示されている。同図に示されている電流DAC回路は、BIAS部BとDAC部Dとに分けることができる。BIAS部Bとして動作するトランジスタは、電流ミラーのための基準電流源 I_{ref} と直接接続されている。一方、BIAS部Bとして動作するトランジスタ以外の他のトランジスタは、画素に与えるべき駆動信号である出力電流 I_{out} を生成するためのDAC回路として動作する。このように構成されているため、DAC部Dへのデータ信号 ($D_0 \sim D_n$) を変化させることでカレントミラー比を変え、アナログデータとなる出力電流 I_{out} を生成することができる。

【0010】多チャンネル電流DAC回路の構成には、BIAS部とDAC部とをそれぞれ複数個持つタイプと、BIAS部は1つでDAC部だけ複数個持つタイプとの2種類が考えられる。図11に示されている回路構成は、BIAS部とDAC部とをそれぞれ複数個持つタイプである。すなわち、1つのBIAS部から対応する1つのDAC部にバイアス信号を与える。この場合、BIAS部とDAC部との距離が近いこと、ICチップ内の V_{th} の傾向や長い配線による電圧ドロップの影響を受けないというメリットがある。

【0011】しかし、個々のチャンネルに電流ミラー回路が存在するため、トランジスタのドレイン電圧がずれてしまうことによるシステムティックな電流値のずれが発生する。これは、トランジスタが飽和していてもドレイン電圧が異なるとドレイン電流は、
$$I_{DS} = K (V_{GS} - V_{th})^2 \cdot (1 + \lambda V_{DS})$$
となるので、 λ の効果によって若干ずれるために発生する。また、トランジスタサイズ及び V_{on} によって決まるランダムな電流値ばらつき ΔI が発生してしまう。このため、各チャンネルの出力電流 I_{out} がばらついてしまうというデメリットがある。この場合のばらつきは、隣接チャンネル間電流ばらつきである。

【0012】一方、図12に示されている回路構成は、BIAS部は1つでDAC部だけ複数個持つタイプである。すなわち、1つのBIAS部から複数のDAC部にバイアス信号を与える。この場合、全チャンネル共通の電流ミラー回路になるため、トランジスタのドレイン電圧がずれてしまうことによるシステムティックな電流値のずれとトランジスタサイズ及び V_{on} によって決まるランダムな電流値ばらつき ΔI とが抑えられる。ミラーの回数が少なくなるからである。したがって、各チャンネルの出力電流 I_{out} のばらつきが抑えられるというメリットがある。

【0013】しかし、各チャンネル間でBIAS部とDAC部との距離に差があるため、ICチップ内の V_{th} の

傾向や長い配線による電圧ドロップの影響を受けてしまうというデメリットがある。この場合のばらつきは、ICチップ内の傾向を持つ出力電流ばらつきである。以上のように図11、図12の回路構成それぞれについてメリット、デメリットがある。特に、図12に示されているように、隣接チャンネル間ばらつきが少ないBIAS部が1つでDAC部だけが複数ある回路構成を採用する場合、ICチップ内の傾向を持つ出力電流ばらつきが生じるので、このばらつきを低減することが望まれている。

【0014】本発明の目的はICチップ内の傾向を持つ出力電流ばらつきを低減することのできるディスプレイパネル駆動回路を提供することである。

【0015】

【課題を解決するための手段】本発明による請求項1のディスプレイパネル駆動回路は、複数のデジタルアナログ変換部と、前記デジタルアナログ変換部にバイアス信号を与える単一のバイアス部とを含み、前記複数のデジタルアナログ変換部から導出される複数の出力電流を画素に与えてディスプレイパネルを駆動するディスプレイパネル駆動回路であって、前記複数のデジタルアナログ変換部と導出される前記複数の出力電流との対応関係を時分割に切替える切替手段を含むことを特徴とする。複数のDAC部と複数の出力電流との対応関係を時分割に順次切替えることにより、ICチップ内の傾向を持つ出力電流ばらつきを低減できる。

【0016】本発明による請求項2のディスプレイパネル駆動回路は、請求項1において、前記切替手段は、前記複数のデジタルアナログ変換部それぞれに対応してそれぞれ設けられた複数のスイッチを含み、前記複数のスイッチを順次切替えることにより、前記複数のデジタルアナログ変換部と導出される前記複数の出力電流との対応関係を時分割に切替えることを特徴とする。複数のデジタルアナログ変換部それぞれに対応する複数のスイッチを設け、これらを順次切替制御することにより、簡単な回路構成により上記のばらつきを低減できる。

【0017】要するに、本発明においては、BIAS部は単一でDAC部だけ複数個持つディスプレイパネル駆動回路において個々のチャンネルにあるDAC部の出力電流を、チャンネル間で順次入れ替えている。すなわち、複数のDAC部と複数の出力電流との対応関係を時分割に順次切替えることにより、ICチップ内の傾向を持つ出力電流ばらつきを低減でき、さらに、ランダムに発生する電流ばらつきも小さくすることができる。

【0018】

【発明の実施の形態】次に、図面を参照して本発明の実施の形態について説明する。なお、以下の説明において参照する各図においては、他の図と同等部分に同一符号が付されている。図1は本発明によるディスプレイパネル駆動回路の実施の一形態の主要部分の構成を示すブロ

(4) 003-271097 (P2003-271097A)

ック図である。同図には、BIAS部は単一でDAC部だけ複数個持つ構成を有するディスプレイパネル駆動回路が示されている。そして、個々のチャンネルにあるDAC部の出力電流を、チャンネル間で順次入れ替えることにより、従来の回路の問題を解決する。

【0019】同図には、複数個のDAC部を2つのブロックに分けた場合の回路構成が示されている。同図に示されている場合、20個のDAC部d1～d20が2つのブロックに分けられた構成になっている。すなわち、DAC部d1からDAC部d10までのブロックB1と、DAC部d11からDAC部d20までのブロックB2とに分けられた構成になっている。そして、ブロックB1に含まれている10個のDAC部d1～d10の出力が出力電流 I_{out1} ～ I_{out10} として導出される。また、ブロックB2に含まれている10個のDAC部d11～d20の出力が出力電流 I_{out11} ～ I_{out20} として導出される。

【0020】ただし、本回路においては、DAC部d1からDAC部d20の出力側にスイッチ群SW1～SW4が設けられており、これらを順次オン状態に制御する。ただし、同時に2つのスイッチ群がオン状態にならないようにする。このように制御すれば、スイッチ群SW1～SW4によって、DAC部と導出される出力電流との対応関係が切替え制御されつつ平均化され、出力電流 I_{out1} ～ I_{out20} として導出される。

【0021】本例では、図1に明示されているように、4個のDAC部d1、d10、d11及びd20と、4つの出力電流 I_{out1} 、 I_{out10} 、 I_{out11} 及び I_{out20} との対応関係が、スイッチ群SW1～SW4に含まれている各スイッチによって切替え制御される。スイッチ群SW1には、スイッチS11、S12、S13及びS14が含まれている。スイッチ群SW2には、スイッチS21、S22、S23及びS24が含まれている。スイッチ群SW3には、スイッチS31、S32、S33及びS34が含まれている。スイッチ群SW4には、スイッチS41、S42、S43及びS44が含まれている。

【0022】そして、本例では、同図中の矢印Y1及びY2、矢印Y3及びY4に示されているように、対応関係が双方向に順次切替わるように制御される。このように対応関係を切替えることにより、時分割制御（時間で平均する）を実現できるので、ICチップ内の傾向を持つ出力電流ばらつきを低減できる。同様に、同図において記載が省略されているDAC部についても、4個のDAC部と4つの出力電流との対応関係が、スイッチ群SW1～SW4に含まれている各スイッチ S_{ij} （ $i=1\sim4$ 、 $j=1\sim4$ ）によって切替え制御される。すなわち、4個のDAC部d2、d9、d12及びd19と、4つの出力電流 I_{out2} 、 I_{out9} 、 I_{out12} 及び I_{out19} との対応関係が切替え制御される。また、4個

のDAC部d3、d8、d13及びd18と、4つの出力電流 I_{out3} 、 I_{out8} 、 I_{out13} 及び I_{out18} との対応関係が切替え制御される。さらに、4個のDAC部d4、d7、d14及びd17と、4つの出力電流 I_{out4} 、 I_{out7} 、 I_{out14} 及び I_{out17} との対応関係が切替え制御される。そして、4個のDAC部d5、d6、d15及びd16と、4つの出力電流 I_{out5} 、 I_{out6} 、 I_{out15} 及び I_{out16} との対応関係が切替え制御される。

【0023】各DAC部の出力と出力電流との対応関係の切替えタイミングの例が図2に示されている。同図には、各スイッチ群SW1～SW4の状態と、出力電流 I_{out1} ～ I_{out20} の内容をなすDAC部d1～d20の出力とが示されている。なお、同図中のCLKはクロックである。同図を参照すると、4個のDAC部d1、d10、d11及びd20の各出力が時分割平均され、出力電流 I_{out1} として合成されている。また、DAC部d2、d9、d12及びd19の各出力が時分割平均されて出力電流 I_{out2} として、DAC部d3、d8、d13及びd18の各出力が時分割平均されて出力電流 I_{out3} として、それぞれ合成されている。他の出力電流についても同様に、4個のDAC部の各出力が時分割平均されることによって導出される。

【0024】ここで、出力電流 I_{out1} 、 I_{out10} 、 I_{out11} 、 I_{out20} は、共に、DAC部d1、d10、d11及びd20の各出力が合成されたものである。ただし、スイッチ群SW1がオン状態になっている期間においては、出力電流 I_{out1} はDAC部d1の出力、 I_{out10} はDAC部d10の出力、 I_{out11} はDAC部d11の出力、 I_{out20} はDAC部d20の出力、になっている。また、スイッチ群SW2がオン状態になっている期間においては、出力電流 I_{out1} はDAC部d10の出力、 I_{out10} はDAC部d1の出力、 I_{out11} はDAC部d20の出力、 I_{out20} はDAC部d11の出力、になっている。同様に、スイッチ群SW3がオン状態になっている期間においては、出力電流 I_{out1} はDAC部d11の出力、 I_{out10} はDAC部d20の出力、 I_{out11} はDAC部d1の出力、 I_{out20} はDAC部d10の出力になっており、スイッチ群SW4がオン状態になっている期間においては、出力電流 I_{out1} はDAC部d20の出力、 I_{out10} はDAC部d11の出力、 I_{out11} はDAC部d10の出力、 I_{out20} はDAC部d1の出力になっている。以後、切替制御が同様に繰返される。

【0025】他の出力電流も、スイッチ群の切替制御によって、各DAC部の出力が時分割に合成されたものとなる。このように、複数のDAC部それぞれに対応する複数のスイッチを設け、それらを順次切替制御することにより、簡単な回路構成により上記のばらつきを低減することができる。なお、図2に示されているようなタイ

(5) 003-271097 (P2003-271097A)

ミングでDAC部と出力電流との対応関係を切替えるための制御信号は、カウンタ回路等を用いて生成する。例えば、N段リングカウンタ（上記の例ではN=4）を用いる。N段リングカウンタは、例えば、N段直列に接続されたシフトレジスタの最終段出力を、初段の入力に接続することによって構成することができる。

【0026】4段リングカウンタを用いる場合、図3（a）に示されているリングカウンタから出力される制御信号r1～r4の波形は、同図（b）に示されているようにハイレベルとなる期間が順次シフトするように変化する。このように波形が変化する制御信号r1～r4を各スイッチ群SW1～SW4に含まれているスイッチに供給する。これら制御信号r1～r4の供給先が、同図（c）に示されている。同図に示されているように、制御信号r1は、図1中のスイッチs11、s12、s13、s14に供給する。また、制御信号r2は、同図中のスイッチs21、s22、s23、s24に供給する。同様に、制御信号r3は、スイッチs31、s32、s33、s34に供給し、制御信号r4は、スイッチs41、s42、s43、s44に供給する。このように、スイッチ群SW1～SW4に含まれている各スイッチに制御信号r1～r4を供給することによって、上述した図2に示されているような動作を実現することができる。

【0027】なお、スイッチ群SW1～SW4に含まれている各スイッチは、例えば、図3（d）に示されているように構成する。同図において、スイッチsは、NMOS（N-channel Metal oxide Semiconductor）トランジスタNT及びPMOS（P-channel Metal oxide Semiconductor）トランジスタPTのソース端子同士及びドレイン端子同士を接続した構成である。そして、NMOSTランジスタNTのゲート端子には制御信号rが直接印加され、かつ、PMOSTランジスタPTのゲート端子には制御信号rがインバータINVによって反転された後で印加されている。

【0028】ここで、従来回路、すなわち上記のように対応関係の切替え制御を行わない回路において、ICチップ内の傾向を持つ出力電流ばらつきが図4に示されている特性を有している場合について考える。同図には、カラムラインのチャンネルに対するDAC部の出力電流が示されている。同図を参照すると、出力電流 I_{out1} 、…出力電流 I_{out10} 、出力電流 I_{out11} 、…出力電流 I_{out20} に対して、出力電流 I_{out1} から出力電流 I_{out20} に向かうに従い、黒丸点●の位置が上方に移動している。よって、カラムラインのチャンネルに対して、同図中の実線Jで示されているように、DAC部の出力電流の値が徐々に増加する傾向がある。

【0029】このような特性に対し、本発明の回路構成を採用した場合は、以下のようなになる。例えば、出力電

流 I_{out1} に着目すると、この出力電流 I_{out1} についてはDAC部d1、DAC部d10、DAC部d11及びDAC部d20を使用する。すなわち、これらDAC部の出力について時分割平均を行ったものを出力電流 I_{out1} とする。つまり、出力電流 I_{out1} には、

$(DAC部d1の出力+DAC部d10の出力+DAC部d11の出力+DAC部d20の出力)/4$

に相当する電流が導出される。このように平均化される結果、図5中の実線Jで示されている各出力電流は、同図中の破線Hで示されているように、ICチップ内の傾向を持つ出力電流ばらつきを低減することができる。なお、他の出力電流についても、同様に平均化され、ICチップ内の傾向を持つ出力電流ばらつきを低減することができる。

【0030】また、本回路においては、DAC部が持っている、ランダムな電流のばらつきを低減することもできる。以下、この点について説明する。DAC部の回路が持つランダムな電流のばらつきを ΔI とする。この ΔI は、従来のDAC部の電流ばらつきと同一である。そして、スイッチ群SW1につながる各DAC部の電流ばらつきを ΔI_1 、スイッチ群SW2につながる各DAC部の電流ばらつきを ΔI_2 、スイッチ群SW3につながる各DAC部の電流ばらつきを ΔI_3 、スイッチ群SW4のつながる各DAC回路の電流ばらつきを ΔI_4 、とする。このとき、ばらつきの平均は、以下のようなになる。すなわち、

$$\text{ばらつきの平均} = 1/4 \times \sqrt{(\Delta I_1^2 + \Delta I_2^2 + \Delta I_3^2 + \Delta I_4^2)}$$

である。ここで、 ΔI_1 、 ΔI_2 、 ΔI_3 、 $\Delta I_4 = \Delta I$ とすれば、

$$\text{ばらつきの平均} = 1/\sqrt{4} \times \Delta I$$

となる。したがって、本回路の構成を採用すれば、従来のDAC部の場合の電流ばらつき ΔI に比べ、電流ばらつきの量が小さくなる。

【0031】図6には、DAC部のランダム電流ばらつきを考慮した場合のタイミングチャートが示されている。同図には、代表例として出力電流 I_{out1} と各スイッチ群との関係が示されている。同図に示されているように、スイッチ群SW1がオン状態になっている期間においては、出力電流 I_{out1} はDAC部d1の出力に電流ばらつき ΔI_1 を加えた電流値となる。また、スイッチ群SW2がオン状態になっている期間においては、出力電流 I_{out1} はDAC部d10の出力に電流ばらつき ΔI_{10} を加えた電流値となる。以下同様に、オン状態になるスイッチ群に対して出力電流 I_{out1} は、DAC部dk（k=1, 10, 11, 20、以下同じ）の出力に電流ばらつき ΔI_k を加えた電流値となる。他の出力電流も同様に、DAC部の出力に電流ばらつきを加えた電流値となる。このようにランダム電流ばらつきが生じていても、上述したように時分割で平均化することによ

(6) 003-271097 (P2003-271097A)

り、電流ばらつきの量を低減することができる。

【0032】なお、上述した図1に示されている構成例においては、複数のDAC部を2つにブロック分けしているが、ブロック分けの数は2に限定されない。また、スイッチ群の数量は、DAC部のブロック数の2倍必要となる。また、DAC部のbit数は上記の説明の場合に限定されない。DAC部のチャンネル数も上記の説明の場合に限定されない。DAC部の回路構成は、PMOSTランジスタを用いたものでも良いし、NMOSTランジスタを用いたものでも良い。さらに、以上はディスプレイパネルを構成する画素素子がEL素子である場合について説明したが、それ以外の素子である場合についても本発明が適用できることは明らかである。

【0033】

【発明の効果】以上説明したように本発明は、複数のDAC部と複数の出力電流との対応関係を時分割に順次切替えることにより、ICチップ内の傾向を持つ出力電流ばらつきを低減でき、かつ、ランダムに発生する電流ばらつきも小さくすることができるという効果がある。

【図面の簡単な説明】

【図1】本発明の実施形態によるディスプレイパネル駆動回路の構成を示すブロック図である。

【図2】図1のディスプレイパネル駆動回路の各部の動作を示すタイミングチャートである。

【図3】(a)はカウンタの例を示す図、(b)はカウンタの出力波形を示す図、(c)はカウンタの出力とそれを供給すべきスイッチとの対応関係を示す図、(d)は各スイッチの構成例を示す図である。

【図4】ICチップ内の傾向を持つ出力電流ばらつきの特性の例を示す図である。

【図5】図4の特性が図1の回路によって改善される様子を示す図である。

【図6】DAC部のランダム電流ばらつきを考慮した場合のタイミングチャートである。

【図7】ディスプレイパネルに用いる発光素子の等価回路を示す図である。

【図8】一般的なディスプレイパネル装置の概略構成図である。

【図9】図8のディスプレイ装置の動作を示すタイミングチャートである。

【図10】DAC部の構成例を示す図である。

【図11】BIAS部とDAC部とをそれぞれ複数個持つディスプレイパネル駆動回路の構成を示す図である。

【図12】BIAS部は1つでDAC部だけ複数個持つディスプレイパネル駆動回路の構成を示す図である。

【符号の説明】

1 発光制御回路

10 ディスプレイパネル

20 陽極線ドライブ回路

30 陰極線ドライブ回路

d1～d20 DAC部

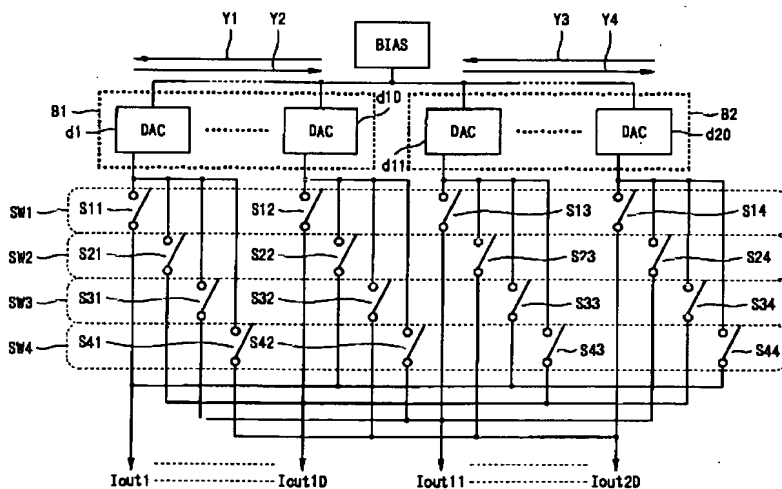
I_{out1}～I_{out20} 出力電流

r1～r4 制御信号

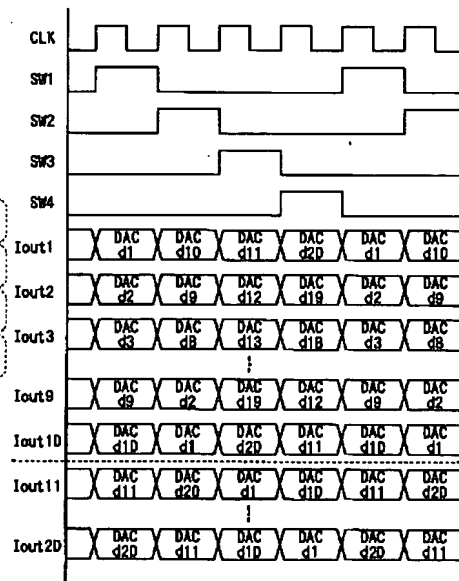
s11～s44 スイッチ

SW1～SW4 スイッチ群

【図1】

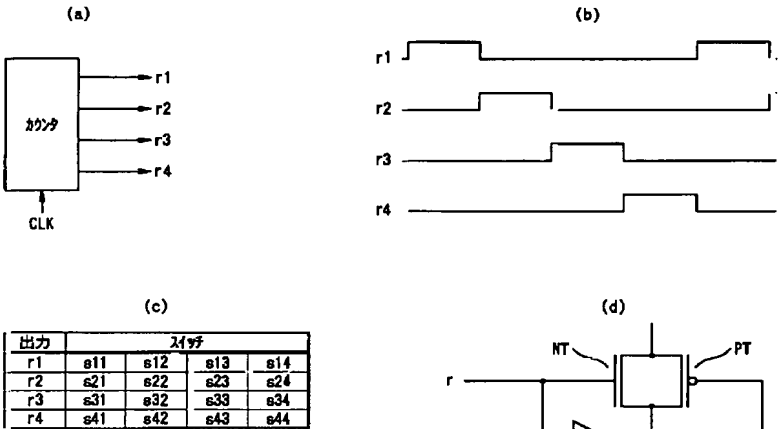


【図2】

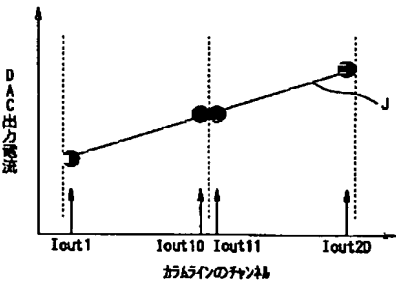


!(7) 003-271097 (P2003-271097A)

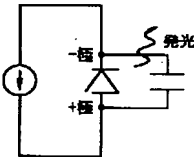
【図3】



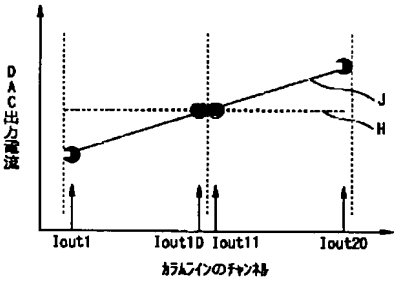
【図4】



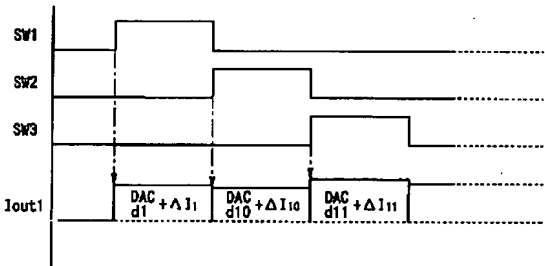
【図7】



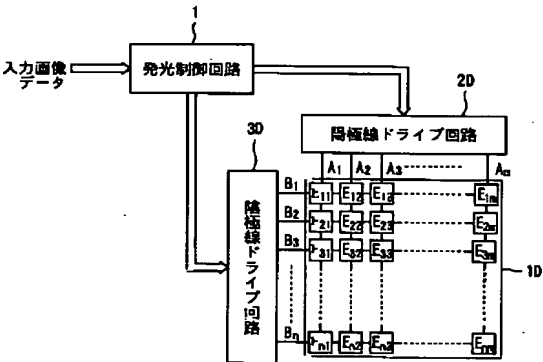
【図5】



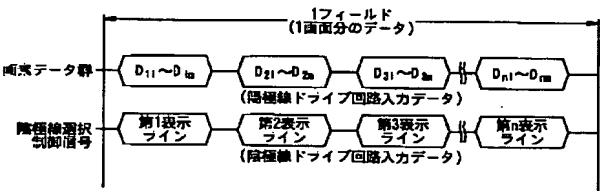
【図6】



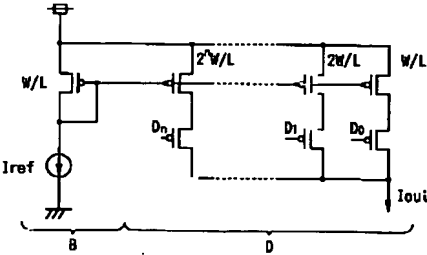
【図8】



【図9】

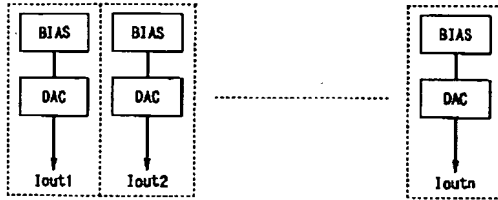


【図10】

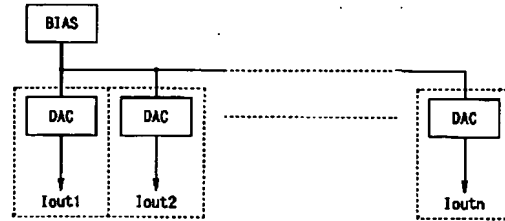


(8) 003-271097 (P2003-271097A)

【図11】



【図12】



フロントページの続き

(51)Int. Cl.⁷

G 0 9 G 3/20

識別記号

6 4 1
6 4 2

F I

G 0 9 G 3/20

(参考)

6 2 3 V
6 4 1 D
6 4 2 A